

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-101965
 (43)Date of publication of application : 13.04.2001

(51)Int.CI. H01J 1/304
 G09F 9/30
 H01J 29/04
 H01J 29/87
 H01J 31/12

(21)Application number : 11-278127
 (22)Date of filing : 30.09.1999

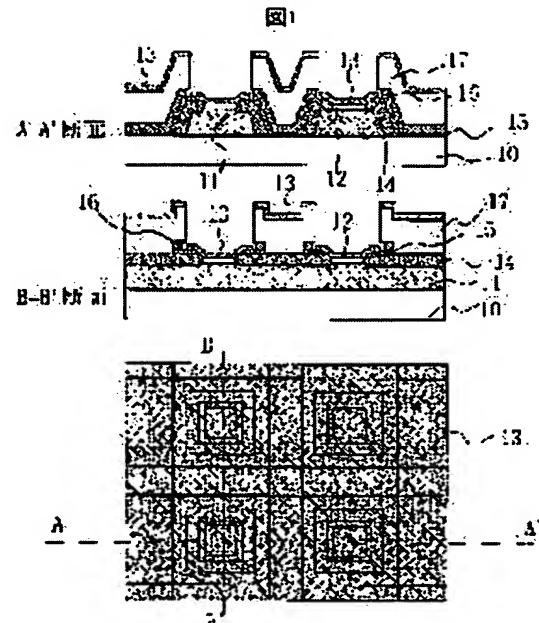
(71)Applicant : HITACHI LTD
 (72)Inventor : KUSUNOKI TOSHIAKI
 SUZUKI MUTSUMI
 SAGAWA MASAKAZU
 ISHIZAKA AKITOSHI

(54) THIN FILM ELECTRON SOURCE AND DISPLAY DEVICE USING IT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a thin film electron source matrix with high electron emission efficiency and easiness in erecting a spacer, and to provide a display device with higher brightness, a higher image quality and higher yield.

SOLUTION: Passivation layer 17 is formed of an insulator that has an electron emission portion formed on upper bus electrodes 15 and 16 and an opening portion formed on contact portion between upper electrodes and upper bus electrodes.



LEGAL STATUS

[Date of request for examination] 01.09.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3630036
[Date of registration] 24.12.2004
[Number of appeal against examiner's decision of rejection]
[Date of requesting appeal against examiner's decision of rejection]
[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-101965

(P2001-101965A)

(43)公開日 平成13年4月13日 (2001.4.13)

(51)Int.Cl.⁷H 01 J 1/304
G 09 F 9/30
H 01 J 29/04
29/87
31/12

識別記号

3 6 0

F I

G 09 F 9/30
H 01 J 29/04
29/87
31/12
1/30

テマコード(参考)

3 6 0 5 C 0 3 1
5 C 0 3 2
5 C 0 3 6
C 5 C 0 9 4
F

審査請求 未請求 請求項の数 6 O L (全 12 頁)

(21)出願番号

特願平11-278127

(22)出願日

平成11年9月30日 (1999.9.30)

(71)出願人

000005108
株式会社日立製作所
東京都千代田区神田駿河台四丁目6番地

(72)発明者

楠 敏明
茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内

(72)発明者

鈴木 瞳三
茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内

(74)代理人

100075096
弁理士 作田 康夫

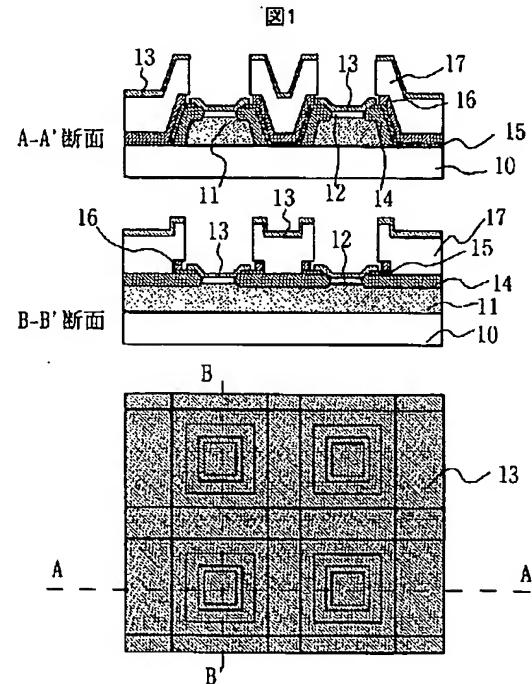
最終頁に続く

(54)【発明の名称】薄膜型電子源、およびそれを用いた表示装置

(57)【要約】

【課題】電子放出効率の高く、スペーサを立てやすい薄膜電子源マトリクスを得、高輝度、高画質、高歩留まりの表示装置を得る。

【解決手段】上部バス電極15、16上に、電子放出部と、上部電極13と上部バス電極との接触部に開口部を有する絶縁体からなるパシベーション膜17を形成する。



!(2) 001-101965 (P2001-) 序橋

【特許請求の範囲】

【請求項1】行（または列）方向に設けられる複数の下部電極と、前記下部電極上に形成される電子放出部の絶縁層と、前記電子放出部を制限する前記絶縁層より厚い保護絶縁層と、前記電子放出部を被覆する上部電極と、列（または行）方向に設けられ、前記上部電極の給電線となる上部バス電極を有する薄膜型電子源であって、前記電子放出部と、前記上部電極が前記上部バス電極と接触する部分が開口した絶縁体からなるパシベーション膜が、前記上部バス電極上に形成され、上部電極膜が前記パシベーション膜上、および前記パシベーション膜の開口部に形成され、かつ前記開口部の段差で切断されていることを特徴とする薄膜型電子源。

【請求項2】行（または列）方向に設けられる複数の下部電極と、前記下部電極上に形成される電子放出部の絶縁層と、前記電子放出部を制限する前記絶縁層より厚い保護絶縁層と、前記電子放出部を被覆する上部電極と、列（または行）方向に設けられた、前記上部電極の給電線となるが前記電子放出部とは交差しない第1の上部バス電極、および前記電子放出部を囲み前記上部電極に給電する第2の上部バス電極を有する薄膜型電子源であって、前記電子放出部、前記上部電極が前記第2の上部バス電極と接触する部分、および前記第1の上部バス電極の一部と前記第2の上部バス電極の一部の両方が露出する部分が開口している絶縁体からなるパシベーション膜が、前記第1および第2の上部バス電極上に形成され、上部電極膜が前記パシベーション膜上、および前記パシベーション膜の開口部に形成され、かつ前記開口部の段差で切断されており、前記第1、第2の上部バス電極が前記開口部で切断された前記上部電極膜で接続されていることを特徴とする薄膜型電子源。

【請求項3】行（または列）方向に設けられる複数の下部電極と、前記下部電極上に形成される電子放出部の絶縁層と、前記電子放出部を制限する前記絶縁層より厚い保護絶縁層と、前記電子放出部を被覆する上部電極と、列（または行）方向に設けられ、同一材料で構成された前記上部電極の給電線となるが前記電子放出部とは交差しない第1の上部バス電極、および前記電子放出部を囲み前記上部電極に給電する第2の上部バス電極と、前記第1の上部バス電極、第2の上部バス電極の構成材料の少なくとも一部からなる前記第1の上部バス電極と第2の上部バス電極との接続体を有する薄膜型電子源であって、前記電子放出部、前記上部電極が前記第2の上部バス電極と接触する部分が開口している絶縁体からなるパシベーション膜が、前記第1および第2の上部バス電極上に形成され、上部電極膜が前記パシベーション膜上、および前記パシベーション膜の開口部に形成され、かつ前記開口部の段差で切断されていることを特徴とする薄膜型電子源。

【請求項4】前記パシベーション膜は、 SiO 、 SiO_2 、リ

ン珪酸ガラス、ホウ珪酸ガラス等のガラス類、 Si_3N_4 、 Al_2O_3 、ポリイミド等の有機絶縁膜のいずれか一つまたはそれらの積層膜であることを特徴とする請求項1乃至3のいずれか一項に記載の薄膜型電子源。

【請求項5】請求項1乃至4のいずれか記載の薄膜型電子源を有する基板と、蛍光体を塗布した蛍光面を有する基板が、スペーサと、枠部材を介して、貼り合わされ、真空中に封じられていることを特徴とする表示装置。

【請求項6】前記スペーサは、ガラス製またはセラミックス製の板状スペーサであり、前記上部バス電極または前記第1の上部バス電極間の間隙部分上の、前記上部電極膜で被覆されたパシベーション膜と、前記蛍光面のブラックマトリクスの間に配置されていることを特徴とする請求項5記載の表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、下部電極、絶縁層、上部電極の3層構造を有し、真空中に電子を放出する薄膜型電子源、およびこれを用いた表示装置に関する。

【0002】

【従来の技術】薄膜型電子源とは、例えば上部電極-絶縁層-下部電極の3層薄膜構造の、上部電極-下部電極の間に電圧を印加して、上部電極の表面から真空中に電子を放出させるものである。例えば金属-絶縁体-金属を積層したMIM (Metal-Insulator-Metal) 型、金属-絶縁体-半導体電極を積層したMIS (Metal-Insulator-Semiconductor) 型や、金属-絶縁体と半導体の積層膜-金属または半導体電極を積層したもの等がある。MIM型については例えば特開平7-65710号に述べられている。薄膜型電子源の動作原理を図2に示した。上部電極13と下部電極11との間に駆動電圧 V_d を印加して、絶縁層12内の電界を1~10MV/cm程度にすると、下部電極11中のフェルミ準位近傍の電子はトンネル現象により障壁を透過し、絶縁層12、上部電極13の伝導帯へ注入されホットエレクトロンとなる。これらのホットエレクトロンのうち、上部電極13の仕事関数以上にエネルギーを有するものは、真空20中に放出される。

【0003】この薄膜電子源は複数本の上部電極13と、複数本の下部電極11を直交させてマトリクスを形成すると、任意の場所から電子線を発生させることができるので、表示装置の電子源に用いることができる。

【0004】これまで、 $\text{Au}-\text{Al}_2\text{O}_3-\text{Al}$ 構造のMIM (Metal-Insulator-Metal) 構造などから電子放出が観測されている。

【0005】

【発明が解決しようとする課題】薄膜型電子源は、絶縁層12で加速したホットエレクトロンを、上部電極13を透過させて真空中に放出させる。したがって上部電極13の膜厚はホットエレクトロンの散乱を少なくするために数

!(3) 001-101965 (P2001-R65

nm程度と非常に薄くする。

【0006】このような薄膜型電子源は、上部電極13の表面が有機物等で汚染されるとホットエレクトロンが散乱され電子放出効率が低下してしまう。従来の薄膜型電子源では、ホト工程により上部電極13を加工する際、上部電極13の表面がレジストで汚染され、電子放出効率が約1桁低下していた。そのため、電子放出効率の回復のためには、アッキングによるクリーニング工程が必要であった。この工程は、薄膜型電子源の絶縁層12にチャージアップ等によるダメージを与えないよう細心の注意が必要であり、製造時の歩留まりが低下しやすい。

【0007】また、薄膜型電子源マトリクスを表示装置に使用する場合、薄膜型電子源マトリクスを形成した基板と蛍光体を塗布した面板を、枠部材を介してフリットガラス接合により貼り合わせ、真空に封じることにより表示パネルを作成するが、対角5インチ程度以上の大型の表示パネルには、大気圧を支持するためスペーサを立てる必要がある。通常スペーサは薄膜型電子源へのダメージを与えないように下部電極11の間、あるいは上部バス電極（または上部電極13）の間の間隙に立てるため、精密な位置制御が必要である。位置制御が不十分な場合、薄膜型電子源がダメージを受ける可能性があり、製造歩留りが低下しやすい。

【0008】また、薄膜型電子源はトンネル現象を用いるため、絶縁層12の膜厚が10nm程度と薄い。絶縁層12の形成法は通常、陽極酸化法や熱酸化法など、極薄の絶縁層12を大面積で均一な膜厚、膜質で作成できる方法を用いるが、異物の混入や下部電極11の膜に欠陥がある場合などは、絶縁層12に欠陥が生じてしまう。特に、単純マトリクス駆動する場合は、欠陥部が存在する下部電極11、上部電極13の配線上の他の正常な薄膜型電子源も、十分な駆動電圧Vdが印加されなくなるため電子放出できなくなったり、電子放出量が低下したりして線欠陥が生じてしまう。このような場合、表示装置等への使用は不可能である。表示装置に用いる場合、極薄の絶縁層12を数10万～数100万個形成しなければならず、無欠陥の薄膜型電子源マトリクスを形成することは困難である。したがて薄膜型電子源に欠陥が生じた場合でも、点欠陥にとどめ線欠陥を生じさせないようにする必要がある。

【0009】本発明の第一の目的は、ホト工程を用いずに上部電極膜を加工できる薄膜型電子源を提供し、アッキング工程を不要にすることで、電子放出効率の高い薄膜型電子源を提供し、高輝度で製造歩留まりの高い表示装置を提供することにある。

【0010】また、本発明の第二の目的は、スペーサを立ててもダメージを受け難い薄膜型電子源を提供して、位置制御を容易にし、表示装置の製造歩留りを向上させるとともに、スペーサの配置場所を最適化してスペーサの目立たない高画質の表示装置を提供することにある。

【0011】さらに、本発明の第三の目的は、線欠陥の

生じない薄膜型電子源マトリクスを提供し、表示装置の製造歩留りを向上することにある。

【0012】

【課題を解決するための手段】上記第一、および第二の目的は、行（または列）方向に設けられる複数の下部電極と、前記下部電極上に形成される電子放出部の絶縁層と、前記電子放出部を制限する前記絶縁層より厚い保護絶縁層と、前記電子放出部を被覆する上部電極と、列（または行）方向に設けられ、前記上部電極の給電線となる上部バス電極を有する薄膜型電子源であって、前記電子放出部と、前記上部電極が前記上部バス電極と接触する部分が開口した絶縁体からなるパシベーション膜が、前記上部バス電極上に形成され、上部電極膜が前記パシベーション膜上、および前記パシベーション膜の開口部に形成され、かつ前記開口部の段差で切断されていることにより実現される。

【0013】また、上記第一乃至第三の目的は、行（または列）方向に設けられる複数の下部電極と、前記下部電極上に形成される電子放出部の絶縁層と、前記電子放出部を制限する前記絶縁層より厚い保護絶縁層と、前記電子放出部を被覆する上部電極と、列（または行）方向に設けられた、前記上部電極の給電線となるが前記電子放出部とは交差しない第1の上部バス電極、および前記電子放出部を囲み前記上部電極に給電する第2の上部バス電極を有する薄膜型電子源であって、前記電子放出部、前記上部電極が前記第2の上部バス電極と接触する部分、および前記第1の上部バス電極の一部と前記第2の上部バス電極の一部の両方が露出する部分が開口している絶縁体からなるパシベーション膜が、前記第1および第2の上部バス電極上に形成され、上部電極膜が前記パシベーション膜上、および前記パシベーション膜の開口部に形成され、かつ前記開口部の段差で切断されており、前記第1、第2の上部バス電極が前記開口部で切断された前記上部電極膜で接続されていることより実現される。

【0014】また、前記上部電極膜による前記第1、第2の上部バス電極の接続の代わりに、第1の上部バス電極と第2の上部バス電極を、前記第1の上部バス電極、第2の上部バス電極の構成材料の少なくとも一部からなる接続体で接続することによっても実現できる。

【0015】

【発明の実施の形態】実施例1

上記第一、および第二の目的を実現する、本発明の実施例1を図3～12を用いて説明する。まずガラス等の絶縁性の基板10上に下部電極用の金属膜を成膜する。下部電極材料としてはAlやAl合金を用いる。ここでは、Ndを2原子量%ドープしたAl-Nd合金を用いた。成膜には例えば、スパッタリング法を用いる。膜厚は300 nmとした。成膜後はホト工程、エッティング工程により図3に示すようなストライプ形状の下部電極11を形成する。エッキン

(4) 001-101965 (P2001-鶴橋)

グは例えば磷酸、酢酸、硝酸の混合水溶液でのウェットエッティングを用いる。

【0016】次に、保護絶縁層14、絶縁層12の形成方法を図4、5を用いて説明する。まず下部電極11上の電子放出部となる部分をレジスト膜19でマスクし、その他の部分を選択的に厚く陽極酸化し、保護絶縁層14とする。化成電圧を100Vとすれば、厚さ約136 nmの保護絶縁層14が形成される。つぎにレジスト膜19を除去し残りの下部電極11の表面を陽極酸化する。例えば化成電圧を6Vとすれば、下部電極11上に厚さ約10 nmの絶縁層12が形成される。

【0017】次に図6に示すように上部電極13への給電線となる上部バス電極膜をスパッタリング法で成膜する。ここでは積層膜を用い上部バス電極下層15の材料としてWを、上部バス電極上層16の材料としてAl-Nd合金を用いた。またその膜厚は、バス電極下層15は後で形成する上部電極13が上部バス電極下層15の段差で断線しないように数nm～数10nm程度と薄くし、上部バス電極上層16は給電を十分にすること、および後で形成するパシベーション膜のエッティングの際のストップー膜とするため、数100nm程度と厚く成膜する。

【0018】続いて、図7に示すようにホト工程、エッティング工程により上部バス電極の積層膜を下部電極11とは直交する方向にストライプ状に加工する。エッティングは、上部バス電極上層16のAl-Nd合金と上部バス電極下層15のWを連続してエッティングする。エッティングは例えば、Al-Nd合金について磷酸、酢酸、硝酸の混合水溶液中、Wはアンモニアと過酸化水素の混合水溶液中のウェットエッティングを用いればよい。

【0019】次に、図8に示すように、パシベーション膜17となる絶縁膜を成膜する。パシベーション膜17は例えば半導体素子等でパシベーション膜として一般的に用いているものを利用できる。すなわち、材料としてはSiO₂、SiO₂、リン珪酸ガラス、ホウ珪酸ガラス等のガラス類、Si₃N₄、Al₂O₃、ポリイミドなどが利用できる。また成膜法としてはスパッタリング膜、真空蒸着膜、化学気相成長膜、塗布法などを用いることができる。例えばSiO₂、Al₂O₃、Si₃N₄などの成膜にはスパッタリング法や化学気相成長法、SiO₂の成膜には真空蒸着法、リン珪酸ガラス、ホウ珪酸ガラス等のガラス類やポリイミドは回転塗布法などを用いることができる。本実施例ではスパッタ法により成膜したSi₃N₄膜を用いた。膜厚は薄膜型電子源の保護が目的であるので例えば0.3～1mm程度と厚く形成する。

【0020】続いて、図9に示すようにホト工程、エッティング工程により、パシベーション膜17に電子放出部と、後で形成する上部電極13が上部バス電極下層15と接触する電子放出部周囲を含む領域を開口する。この加工は例えばCF₄を用いたドライエッティング法等を用いればよい。CF₄などのフッ化物系エッティングガスを用いたド

ライエッティング法はパシベーション膜17の絶縁体を上部電極上層16のAl合金に対し高い選択比でエッティングするので、上部電極上層16をストップー膜としてパシベーション膜17のみを加工することが可能である。引き続いて図10に示すように、電子放出部の上部バス電極上層16を磷酸、酢酸、硝酸の混合水溶液中でウェットエッティングする。このエッチャントはAl合金をエッティングするが、パシベーション膜17の用いる絶縁体、上部バス電極下層15のWはほとんどエッティングしない。したがって、上部バス電極上層16のみ高い選択比でエッティングする。そのため、パシベーション膜に対し、上部バス電極上層16が内側に後退し、庇状のパシベーション膜17が形成される。

【0021】次に、図11に示すようにホト工程、エッティング工程により上部バス電極下層15のWをエッティングし、電子放出部を開口する。この際、上部バス電極下層15のWが上部バス電極上層16およびパシベーション膜17より電子放出部側に延在するように加工することで、後で形成する上部電極13と接触をとることができる。

【0022】最後に上部電極膜のスパッタ成膜を行う。上部電極13としては例えばIr、Pt、Auの積層膜を用い膜厚は数nmである。ここでは3nmとした。図1に上部電極膜を成膜した後の薄膜型電子源を示す。成膜された薄い上部電極13は、パシベーション膜17の開口部の段差で切断され、各電子源毎に分離されるとともに、上部バス電極上層16およびパシベーション膜17より電子放出部側に延在する上部バス電極下層15のWと接触し、給電される構造となる。したがって、上部電極13加工用のホト工程が不要となり、レジストによる汚染がなくなる。

【0023】また、本実施例の薄膜型電子源は、上部電極13以外の構成部が厚いパシベーション膜17により被覆されており、メカニカルなダメージに強くなる。また、電子放出部が厚いパシベーション膜17の開口部の底に形成されるため、メカニカルなダメージは受け難くなる。したがって、表示装置作製の際にスペーサ等を立ててもダメージを受け難い薄膜型電子源が得られる。

【0024】実施例2

実施例1の効果に加え、さらに薄膜型電子源マトリクスの線欠陥発生を防止できる本発明の実施例2を図3～6、図12～17を用いて説明する。まず実施例1の図3～6と同じ工程で、下部電極11、保護絶縁層14、絶縁層12を順に形成し、さらに上部バス電極用の上部バス電極下層15、上部バス電極上層16の積層膜を成膜する。

【0025】続いて、図12に示すようにホト工程、エッティング工程により上部バス電極用の積層膜を、下部電極11とは直交し、電子放出部とは交差しない第1の上部バス電極21、および電子放出部を被覆し第1の上部バス電極21とは接しない第2の上部バス電極22の形状に加工する。エッティングは、上部バス電極上層16のAl-Nd合金と上部バス電極下層15のWを連続してエッティングする。エ

!(5) 001-101965 (P2001-牽橋)

ッティングは例え、Al-Nd合金については磷酸、酢酸、硝酸の混合水溶液中、Wはアンモニアと過酸化水素の混合水溶液中のウェットエッティングを用いればよい。

【0026】次に、図13に示すようにバシベーション膜17となる絶縁膜を実施例1と同様の要領で成膜する。

【0027】続いて、図14に示すようにホト工程、エッティング工程により、バシベーション膜17に電子放出部、および後で形成する上部電極13が第2の上部バス電極22と接触する電子放出部周囲、および第1の上部バス電極21の一部と第2の上部バス電極22の一部の両方が露出する部分を開口する。加工は実施例1と同様の手法を用いればよい。

【0028】引き続いて図15に示すように電子放出部、および第1の上部バス電極21の一部と第2の上部バス電極22の一部の両方が露出する部分の上部バス電極上層16を磷酸、酢酸、硝酸の混合水溶液中でウェットエッティングする。このエッチャントはAl合金をエッティングするが、バシベーション膜17に用いる絶縁体、上部バス電極下層15のWはほとんどエッティングしない。したがって、上部バス電極上層16のみ高い選択比でエッティングする。そのため、バシベーション膜17に対し、上部バス電極上層16が内側に後退し、底状のバシベーション膜17が形成される。

【0029】次に、図16に示すようにホト工程、エッティング工程により電子放出部の上部バス電極下層15のWをエッティングし、電子放出部を開口する。この際、上部バス電極下層15のWが上部バス電極上層16およびバシベーション膜17より電子放出部側に延在するように加工することで、後で形成する上部電極13と第2の上部バス電極22の電気的接触をとることができる。この際、第1の上部バス電極21の一部と第2の上部バス電極22の一部の両方が露出する部分はレジストで保護し、上部バス電極下層15のWがエッティングされないようにする。

【0030】最後に上部電極膜のスパッタ成膜を行う。上部電極13としては例えIr、Pt、Auの積層膜を用い膜厚は数nmである。ここでは3nmとした。図17に上部電極膜を成膜した後の薄膜型電子源の断面図を示す。成膜された薄い上部電極13は、バシベーション膜17の開口部の段差で切断され、各電子源毎に分離されるとともに、上部バス電極上層16およびバシベーション膜17より電子放出部側に延在する上部バス電極下層15のWと接触し、給電される構造となる。したがって、上部電極13加工用のホト工程が不要となり、レジストによる汚染がなくなる。また、第1の上部バス電極21の一部と第2の上部バス電極22の一部の両方が露出する部分にもバシベーション膜17の開口部の段差で切断された上部電極膜が形成される。この膜は、第1の上部バス電極21と第2の上部バス電極22を電気的に接続する。上部電極13の膜厚はnmオーダーと薄いので、図17に示すように開口部の寸法を制御することで接続部の抵抗値を $k\Omega$ 程度に制御すること

ができる。すなわち、回路的に、各電子源が薄膜抵抗23を介し第1の上部バス電極21と接続される。

【0031】本実施例の薄膜型電子源は、実施例1と同様に上部電極13以外の構成部が厚いバシベーション膜17により被覆されており、メカニカルなダメージに強くなる。また、電子放出部も厚いバシベーション膜17の開口部の底に形成されるため、メカニカルなダメージは受け難くなる。したがって、スペーサ等を立ててもダメージを受け難い薄膜型電子源が得られる。さらに各電子源が給電線となる上部ストライプバス電極21から薄膜抵抗23を介して電気的に接続される。したがって、薄膜型電子源が短絡し欠陥となった場合でも、薄膜抵抗23に電圧が印加されるため、他の薄膜型電子源に正常な電圧を掛け続ける事ができ、線欠陥が発生しにくい。また、短絡欠陥は大電流が流れるため、やがて薄い上部電極13からなる薄膜抵抗23が焼損し、欠陥部を完全に切り離すことができる。したがって、線欠陥は完全に生じなくなる。

【0032】なお、本実施例は上部電極膜の一部を薄膜抵抗として用いたが、第1の上部バス電極21、第2の上部バス電極22の構成部の一部からなる薄膜抵抗、例え上部バス電極下層15のW膜を残して薄膜抵抗を加工してもよい。その場合は図12のエッティングの際、上部バス電極下層15はエッティングせず、別途ホト工程、エッティング工程を行うことにより、図18のように加工する。上部バス電極下層15は上部電極13を段切れさせないため、数nmから数10nm程度と薄く形成するので、寸法を制御することで接続部の抵抗値を $k\Omega$ 程度に制御することができる。

【0033】実施例3

本発明を用いた表示装置の実施例3を図19~24を用いて説明する。本発明の実施例1の薄膜型電子源を用いた場合、アッシング工程が不要で、電子放出効率が高いので、高輝度、低消費電力の表示装置を提供できる。また、メカニカルなダメージを受け難い薄膜型電子源をなので、スペーサを立ててもダメージを受け難いためスペーサの位置制御が容易で、製造歩留りの高い表示装置を提供できる。また、スペーサの配置場所を最適化やすく、スペーサの目立たない表示装置を作製できる。さらに本発明の第二の実施例の薄膜型電子源を用いた場合、各電子源が薄膜抵抗を有することで線欠陥の生じない薄膜型電子源マトリクスを実現し、製造歩留りが高い表示装置を提供できる。

【0034】ここでは、実施例1の薄膜型電子源を用いた場合を中心に説明する。実施例2の薄膜型電子源を用いた場合も表示装置の製造方法は同様である。

【0035】まず実施例1の手法にしたがって基板10上に薄膜型電子源マトリクスを作成する。説明のため、図19には(3×3)ドットの薄膜型電子源マトリクスの平面図、断面図を示した。但し、実際は表示ドット数に対応した数の薄膜型電子源マトリクスを形成する。また、本

!(6) 001-101965 (P 2001-咲

発明の薄膜型電子源基板では、上部電極膜が、パシベーション膜17上も被覆するが、本実施例の平面図では説明のため上部電極13として機能している部分のみ表示している。また、本実施例では上部バス電極下層15、上部バス電極上層16の積層構造を上部バス電極18としてまとめて表示している。

【0036】実施例1および2では説明しなかったが、薄膜型電子源マトリクスを表示装置に使用する場合、下部電極11、上部バス電極18の電極端部は回路接続のため電極面を露出しておかなければならない。そのためには、パシベーション膜17、上部電極13の成膜の際は、電極端部をマスクするようにする。パシベーション膜を塗布法で成膜する場合は、パシベーション膜の開口部を開けるエッティングの際、電極端子出しを行っておく。

【0037】表示側基板の作成は以下のように行う(図20)。面板110には透光性のガラスなどを用いる。まず、表示装置のコントラストを上げる目的でブラックマトリクス120を形成する。ブラックマトリクス120は、PVA(ポリビニルアルコール)と重クロム酸アンモニウムとを混合した溶液を面板110に塗布し、ブラックマトリクス120を形成したい部分以外に紫外線を照射して感光させた後、未感光部分を除去し、そこに黒鉛粉末を溶かした溶液を塗布し、PVAをリフトオフすることにより形成する。

【0038】次に赤色蛍光体111を形成する。蛍光体粒子にPVA(ポリビニルアルコール)と重クロム酸アンモニウムとを混合した水溶液を面板110上に塗布した後、蛍光体を形成する部分に紫外線を照射して感光させた後、未感光部分を流水で除去する。このようにして赤色蛍光体111をパターン化する。パターンは図20に示したようなストライプ状にパターン化する。同様にして、緑色蛍光体112と青色蛍光体113を形成する。蛍光体としては、例えば赤色に $Y_2O_3:Eu(P22-R)$ 、緑色に $ZnS:Cu, Al(P22-G)$ 、青色に $ZnS:Ag(P22-B)$ を用いればよい。

【0039】次いで、ニトロセルロースなどの膜でフィルミングした後、面板110全体にAlを、膜厚75 nm程度蒸着してメタルバック114とする。このメタルバック114が加速電極として働く。その後、面板110を大気中400°C程度に加熱してフィルミング膜やPVAなどの有機物を加熱分解する。このようにして、表示側基板が完成する。

【0040】このようにして製作した表示側基板と基板10とをスペーサ30を介し、周囲の枠116をフリットガラス115を用いて封着する。図21に貼り合わせた表示パネルの図19、20のA-A断面、B-B断面に相当する部分を示す。面板110-基板10間の距離は1~3 mm程度になるようにスペーサ30の高さを設定する。スペーサは上部電極13の膜で被覆されているパシベーション膜17上に立てる。スペーサ30は、例えば板状のガラス製またはセラミック製を上部バス電極18間に配置する。この場合、スペーサが表示基板側のブラックマトリクス120の下に配置さ

れるため、スペーサ30が発光を阻害しない。したがって、スペーサ30の存在による画質の劣化が生じにくい。従来の薄膜型電子源マトリクスでは、上記の様なスペーサ30の形状、配置の場合、陽極酸化膜からなる保護絶縁層14上にスペーサ30を立てるため、薄膜型電子源のダメージが生じやすかったが、本実施例ではパシベーション膜17で被覆されているため、スペーサ30を立てるによるダメージは生じにくい。

【0041】ここでは、説明のため、R(赤)、G(緑)、B(青)に発光するドット毎、すなわち上部バス電極18の間に全てスペーサ30を立てているが、実際は機械強度が耐える範囲で、スペーサ30の枚数(密度)を減らし、大体1cmおきに立てればよい。

【0042】また、本実施例では述べなかったが、支柱状のスペーサ、格子状のスペーサを使用する場合でもダメージを受け難いという本発明の効果は当然得られる。

【0043】封着したパネルは、 10^{-7} Torr程度の真空中に排気して、封じきる。封じ後、ゲッターを活性化し、パネル内の真空を維持する。例えば、Baを主成分とするゲッター材の場合、高周波誘導加熱等によりゲッター膜を形成できる。また、Zrを主成分とする非蒸発型ゲッターを用いてもよい。このようにして、薄膜電子源を用いた表示パネルが完成する。

【0044】このように本実施例では、面板110と基板10間の距離は1~3 mm程度と長いので、メタルバック114に印加する加速電圧を3~6 kVと高電圧に出来る。したがって、上述のように、蛍光体には陰極線管(CRT)用の蛍光体を使用できる。

【0045】図22はこのようにして製作した表示装置パネルの駆動回路への結線図である。下部電極11は下部電極駆動回路40へ結線し、上部バス電極18は上部電極駆動回路50に結線する。 m 番目の下部電極11-K m と、 n 番目の上部バス電極18-C n の交点を(m,n)で表すこととする。メタルバック114には3~6 kV程度の加速電圧60を常時印加する。

【0046】図23は、各駆動回路の発生電圧の波形の一例を示す。時刻t0ではいずれの電極も電圧ゼロであるので電子は放出されず、したがって、蛍光体は発光しない。時刻t1において、下部電極11-K1には-V1なる電圧を、上部バス電極18-C1, C2には+V2なる電圧を印加する。交点(1,1), (1,2)の下部電極11-上部電極13間には(V1+V2)なる電圧が印加されるので、(V1+V2)を電子放出開始電圧以上に設定しておけば、この2つの交点の薄膜型電子源からは電子が真空中に放出される。放出された電子はメタルバック114に印加された加速電圧60により加速された後、蛍光体に入射し、発光させる。時刻t2において、下部電極11のK2に-V1なる電圧を印加し、上部バス電極18のC1にV2なる電圧を印加すると、同様に交点(2,1)が点灯する。このようにして、上部バス電極18に印加する信号を変えることによ

! (7) 0 0 1 - 1 0 1 9 6 5 (P 2 0 0 1 - K f 6 5

より所望の画像または情報を表示することが出来る。また、上部バス電極18への印加電圧V1の大きさを適宜変えることにより、階調のある画像を表示することが出来る。絶縁層12中に蓄積される電荷を開放するための反転電圧の印加は、ここでは下部電極11の全てに-V1を印加した後、全下部電極11にV3、全上部バス電極18に-V3'を印加することにより行った。

【0047】本発明の実施例2の薄膜型電子源を用いた場合は、特に上部電極駆動回路50の出力抵抗を各薄膜型電子源に付加されている薄膜抵抗23より低抵抗にしておく。図24にその等価回路を示す。この場合、薄膜型電子源が欠陥発生により短絡した場合でも薄膜抵抗23に電圧が印加されるため、他の正常な薄膜型電子源に電圧が印加され、線欠陥が生じない。したがって、製造歩留りが高い表示装置を提供できる。

【0048】

【発明の効果】本発明によれば、アッシング工程が不要で、電子放出効率が高い薄膜型電子源を用いた高輝度、低消費電力の表示装置を提供できる。また、スペーサを立ててもダメージを受け難い薄膜型電子源なので、スペーサの配置が容易で、製造歩留りの高い表示装置を提供できる。さらにスペーサの配置を最適化することで、スペーサが目立たず画質の高い表示装置を提供できる。また、各電子源に薄膜抵抗を付加した薄膜型電子源マトリクスを用い、上部電極駆動回路の出力抵抗を各薄膜型電子源に付加されている薄膜抵抗より低抵抗にしておくことで、線欠陥が生じにくくなるため、さらに製造歩留りが高い表示装置を提供できる。

【図面の簡単な説明】

- 【図1】本発明の薄膜型電子源の構造を示す図である。
- 【図2】薄膜型電子源の動作原理を示す図である。
- 【図3】本発明の薄膜型電子源の製法を示す図である。
- 【図4】本発明の薄膜型電子源の製法を示す図である。
- 【図5】本発明の薄膜型電子源の製法を示す図である。
- 【図6】本発明の薄膜型電子源の製法を示す図である。
- 【図7】本発明の薄膜型電子源の製法を示す図である。
- 【図8】本発明の薄膜型電子源の製法を示す図である。
- 【図9】本発明の薄膜型電子源の製法を示す図である。
- 【図10】本発明の薄膜型電子源の製法を示す図である。

【図11】本発明の薄膜型電子源の製法を示す図である。

【図12】本発明の薄膜型電子源の製法を示す図である。

【図13】本発明の薄膜型電子源の製法を示す図である。

【図14】本発明の薄膜型電子源の製法を示す図である。

【図15】本発明の薄膜型電子源の製法を示す図である。

【図16】本発明の薄膜型電子源の製法を示す図である。

【図17】本発明の薄膜型電子源の製法を示す図である。

【図18】本発明の薄膜型電子源の製法を示す図である。

【図19】本発明の薄膜型電子源を用いた表示装置の製法を示す図である。

【図20】本発明の薄膜型電子源を用いた表示装置の製法を示す図である。

【図21】本発明の薄膜型電子源を用いた表示装置の製法を示す図である。

【図22】本発明を用いた表示装置での駆動回路への結線を示した図である。

【図23】本発明の表示装置での駆動電圧波形を示した図である。

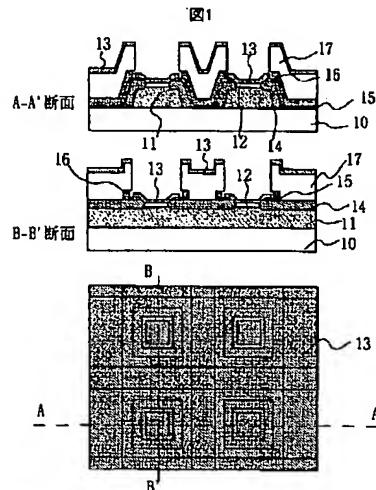
【図24】本発明の薄膜抵抗を付した薄膜型電子源基板の等価回路図である。

【符号の説明】

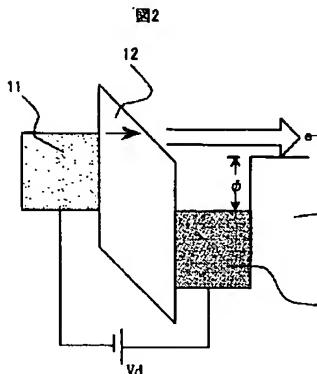
- 10・・・基板、11・・・下部電極、12・・・絶縁層、13・・・上部電極、14・・・保護絶縁層、15・・・上部バス電極下層、16・・・上部バス電極上層、17・・・パシベーション膜、18・・・上部バス電極、19・・・レジスト膜、20・・・真空、21・・・第1の上部バス電極、22・・・第2の上部バス電極、23・・・薄膜抵抗、30・・・スペーサ、40・・・下部電極駆動回路、50・・・上部電極駆動回路、60・・・加速電圧、110・・・面板、111・・・赤色蛍光体、112・・・緑色蛍光体、113・・・青色蛍光体、114・・・メタルバック、115・・・フリットガラス、116・・・枠。

! (8) 001-101965 (P2001->T65

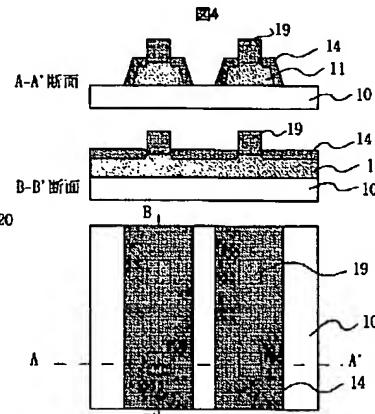
【図1】



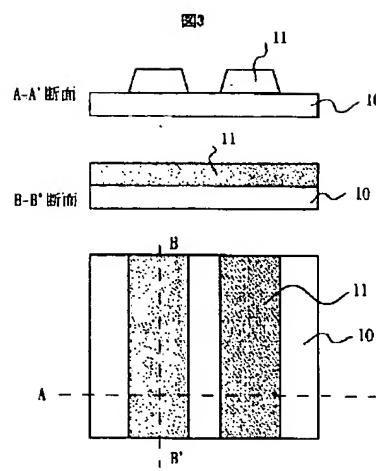
【図2】



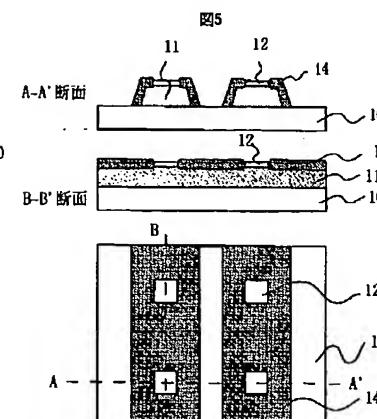
【図4】



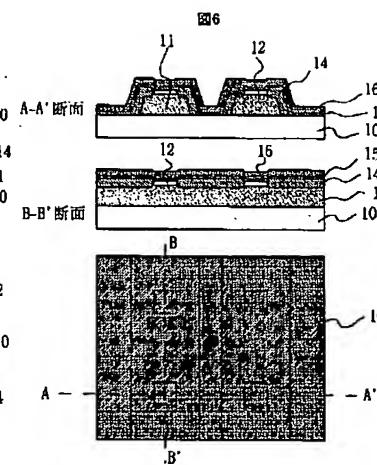
【図3】



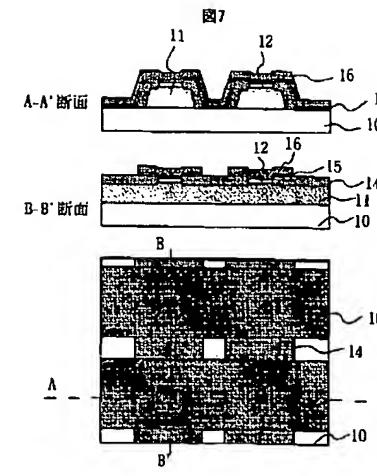
【図5】



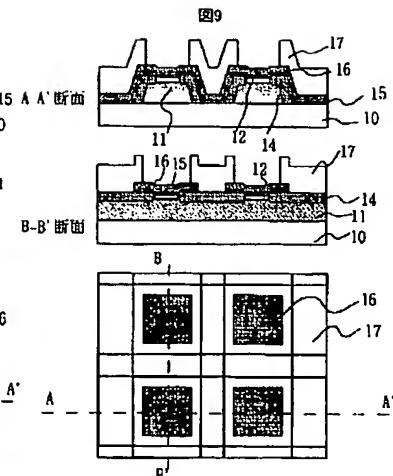
【図6】



【図7】

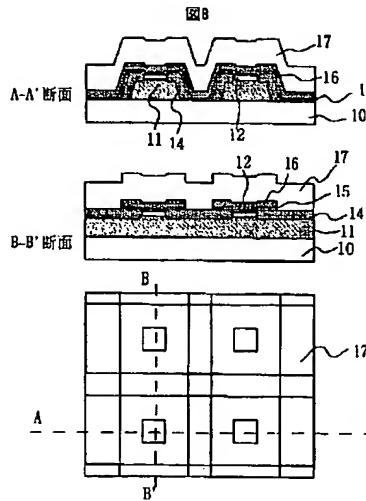


【図9】

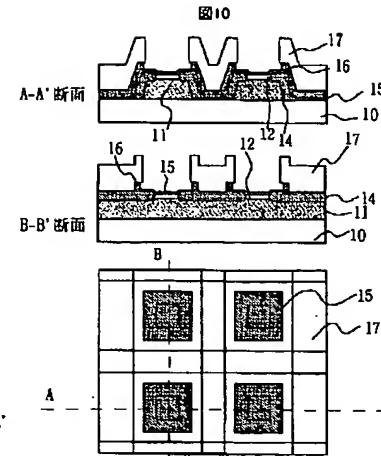


! (9) 001-101965 (P 2001-r65

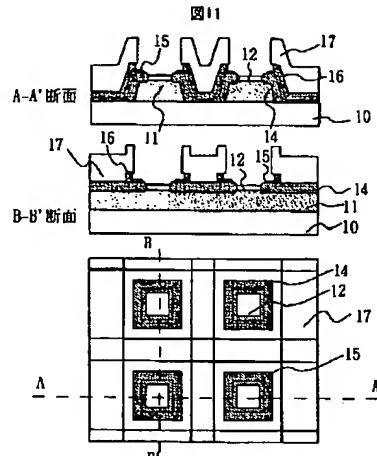
【図8】



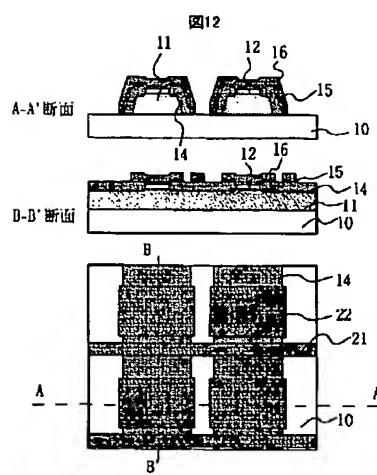
【図10】



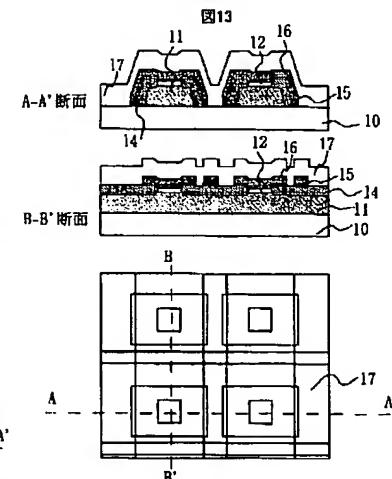
【図11】



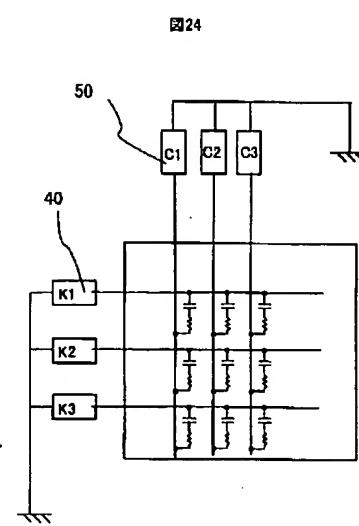
【図12】



【図13】

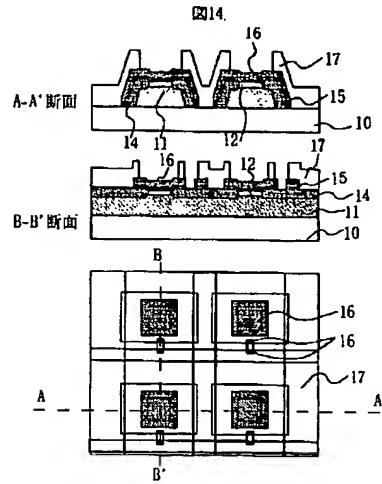


【図24】

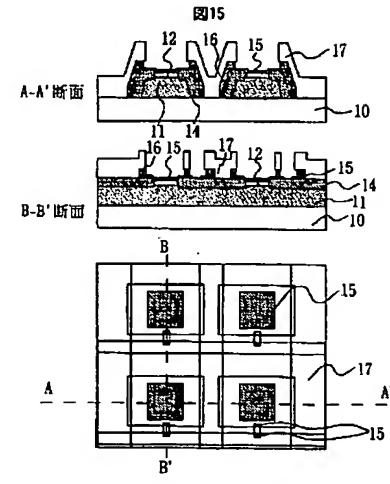


(10) 01-101965 (P2001-P65

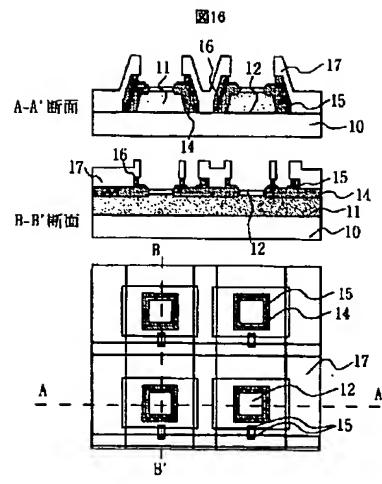
【図14】



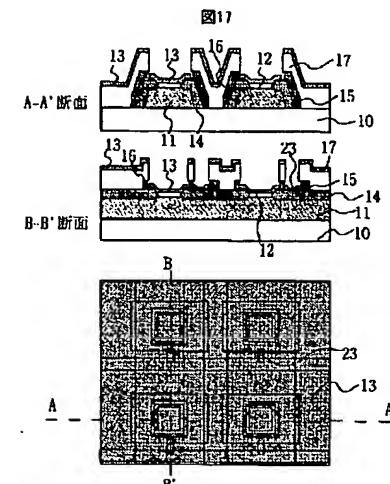
【図15】



【図16】

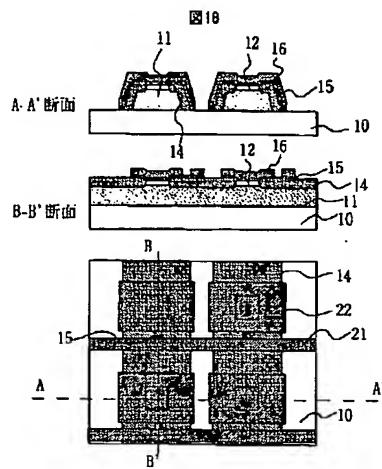


【図17】

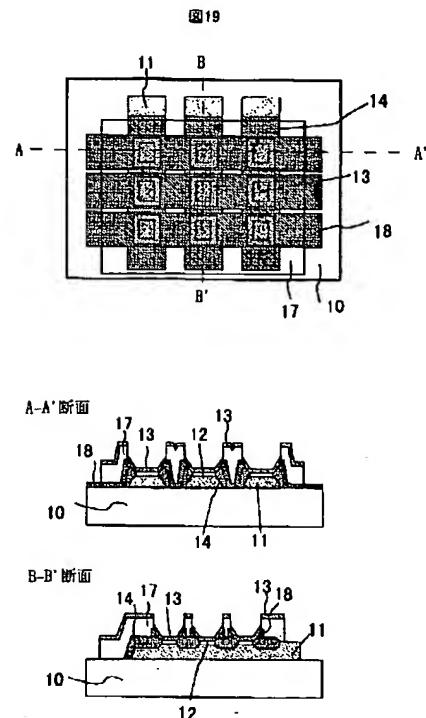


(専1) 01-101965 (P2001-i65

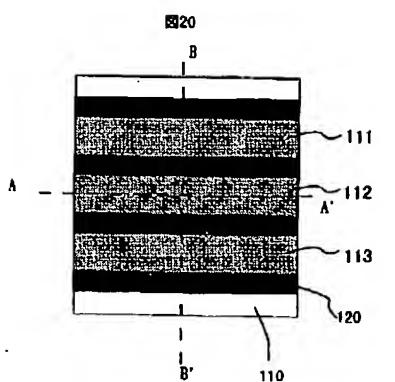
【図18】



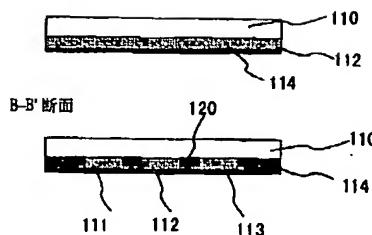
【図19】



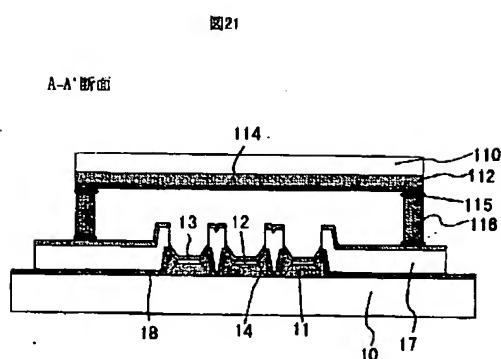
【図20】



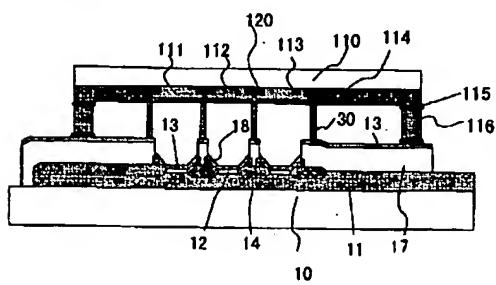
A-A'断面



【図21】



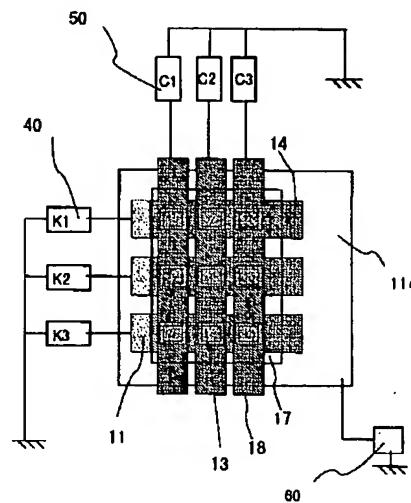
B-B'断面



(2) 01-101965 (P 2001-**12**)

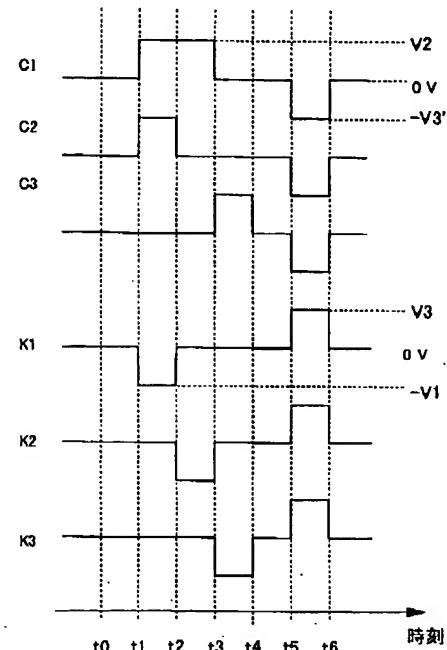
【図22】

図22



【図23】

図23



フロントページの続き

(72)発明者 佐川 雅一
茨城県日立市大みか町七丁目1番1号 株
式会社日立製作所日立研究所内
(72)発明者 石坂 彰利
東京都国分寺市東恋ヶ窪一丁目280番地
株式会社日立製作所中央研究所内

F ターム(参考) 5C031 DD17
5C032 CC10
5C036 EE01 EE14 EE19 EF01 EF06
EF09 EG02 EG12
5C094 AA10 AA22 AA42 AA43 BA32
BA34 CA19 DA12 DA13 EC03
FA01 FA02 FB02 FB15 GB10